



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月28日

出 願 番 号

Application Number:

特願2001-053628

[ST.10/C]:

[JP2001-053628]

出 願 人

Applicant(s):

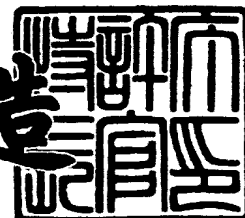
三洋電機株式会社



2002年 2月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3008495

【書類名】 特許願

【整理番号】 KIA1010028

【提出日】 平成13年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式
会社内

【氏名】 原口 善考

【発明者】

【住所又は居所】 新潟県小千谷市千谷甲 3 0 0 0 番地 新潟三洋電子株
式会社内

【氏名】 武石 直英

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【選任した代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とそのパターンレイアウト方法

【特許請求の範囲】

【請求項 1】 陽極ドライバ、陰極ドライバ、そしてメモリ部が 1 チップ化された半導体装置において、

前記メモリ部と結線される所望のドライバがチップ内に均等割り付けされ、その均等割り付けされた各ドライバの近傍位置に各メモリ部が均等配置されていることを特徴とする半導体装置。

【請求項 2】 前記メモリ部と結線される所望のドライバを複数のグループに分け、各グループ毎に各メモリ部が配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記メモリ部と結線される所望のドライバをチップ内の左右または上下位置に対峙させ、各メモリ部をチップの中央部に配置したことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 陽極ドライバ、陰極ドライバ、そしてメモリ部が 1 チップ化された半導体装置のパターンレイアウト方法において、

前記メモリ部と結線される所望のドライバをチップ内に均等割り付けし、その均等割り付けされた各ドライバの近傍位置に各メモリ部を均等配置することを特徴とする半導体装置のパターンレイアウト方法。

【請求項 5】 前記メモリ部と結線される所望のドライバを複数のグループに分け、各グループ毎に各メモリ部を配置することを特徴とする請求項 4 に記載の半導体装置のパターンレイアウト方法。

【請求項 6】 前記メモリ部と結線される所望のドライバをチップ内の左右または上下位置に対峙させ、各メモリ部をチップの中央部に配置することを特徴とする請求項 4 または請求項 5 に記載の半導体装置のパターンレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とそのパターンレイアウト方法に関し、更に言えば、例

例えば陽極ドライバと陰極ドライバ等を有し、それらを1チップ化した表示ディスプレイ駆動用ドライバ等のパターンレイアウト構造及びそのパターンレイアウト方法に関する。

【0002】

【従来の技術】

以下、上記表示ディスプレイ駆動用ドライバ等を構成する半導体装置について図面を参照しながら説明する。

【0003】

上記表示ディスプレイには、LCDディスプレイ、LEDディスプレイ、有機EL（エレクトロ・ルミネッセンス）ディスプレイ、無機ELディスプレイ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイがある。

【0004】

以下、一例として、例えば陽極ドライバと陰極ドライバを有し、有機EL素子に定電流を供給し、有機EL素子を発光させる有機ELディスプレイ駆動ドライバについて説明する。尚、EL素子は自発光であるため液晶表示装置で必要なバックライトを必要とせず、視野角にも制限がない等の多くの利点を有していることから、次世代の液晶表示装置への応用が期待されている。特に、有機EL素子は高輝度が可能で、高効率、高応答特性、並びに多色化の点で無機EL素子より優れていることが知られている。

【0005】

そして、上記有機ELディスプレイ駆動用ドライバは、ロジック系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、そしてレベルシフタ用のNチャネル型MOSトランジスタ等から構成される。ここで、低オン抵抗化が図られた高耐圧系のMOSトランジスタとして、例えばD（Double diffused）MOSトランジスタ等が用いられる。尚、上記DMOSトランジスタ構造とは、半導体基板表面側に形成した拡散層に対

して、導電型の異なる不純物を拡散させて、新たな拡散層を形成し、これらの拡散層の横方向拡散の差を実効チャンネル長として利用してなるものであり、短いチャンネルが形成されることで、低オン抵抗化に適した素子となる。

【0006】

そして、上記有機ELディスプレイ駆動用ドライバ等の各種ドライバを構成する場合における半導体装置のパターンレイアウトは、出力1ビット分のレイアウトが、必要な出力数だけ繰り返し配置されて成る構成となっている。

【0007】

【発明が解決しようとする課題】

ここで、上記有機ELディスプレイ駆動用ドライバを構成するとき、陽極ドライバ、陰極ドライバ、そしてメモリ部等はそれぞれ別々に構成されていた。そのため、それらを1つのプリント基板に搭載するものでは、コスト的にもサイズのにも満足できるものではなかった。

【0008】

そして、陽極ドライバ、陰極ドライバ、そしてメモリ部等を1チップ化することで、チップサイズの縮小化並びに低コスト化を図りたいという要望があった。

【0009】

【課題を解決するための手段】

そこで、本発明の半導体装置とそのパターンレイアウト方法は、陽極ドライバ、陰極ドライバ、そしてメモリ部が1チップ化されたものにおいて、前記メモリ部と結線される所望のドライバをチップ内に均等割り付けし、その均等割り付けされた各ドライバの近傍位置に各メモリ部を均等配置して成ることを特徴とする。

【0010】

また、前記メモリ部と結線される所望のドライバを複数のグループに分け、各グループ毎に各メモリ部を配置して成ることを特徴とする。

【0011】

更に、前記メモリ部と結線される所望のドライバをチップ内の左右または上下位置に対峙させ、各メモリ部をチップの中央部に配置して成ることを特徴とする。

【 0 0 1 2 】

【発明の実施の形態】

以下、本発明の半導体装置とそのパターンレイアウト方法に係る一実施形態について図面を参照しながら説明する。尚、本実施形態では、表示ディスプレイの一例として有機ELディスプレイを例示し、当該有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置について説明する。

【 0 0 1 3 】

上記有機ELディスプレイ駆動用ドライバは、図10(a)の左側からロジック系の(例えば、3V)Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフタ用の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、図10(b)の左側から低オン抵抗化が図られた高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Pチャネル型MOSトランジスタ、及び低オン抵抗化が図られた高耐圧系の(例えば、30V)Pチャネル型MOSトランジスタで構成される。尚、説明の便宜上、上記高耐圧系のMOSトランジスタと低オン抵抗化が図られた高耐圧系のMOSトランジスタとを差別化するため、以下の説明では低オン抵抗化が図られた高耐圧系のMOSトランジスタをSLED(Slit channel by counter doping with extended shallow drain) MOSトランジスタと呼称する。

【 0 0 1 4 】

このような有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置では、図10に示すように上記高耐圧系のPチャネル型MOSトランジスタと上記低オン抵抗化が図られた高耐圧系のPチャネル型SLED MOSトランジスタが構成されるN型ウエル23が段差高部となり、その他の各種MOSトランジスタが構成されるP型ウエル22が段差低部に構成される。言い換えれば、微細なロジック系の(例えば、3V)Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタが段差低部に配置され

るように構成されている。

【0015】

以下、上記半導体装置の製造方法について説明する。

【0016】

先ず、図1において、各種MOSトランジスタを構成するための領域を画定するために、例えばP型の半導体基板（P-s u b）21内にP型ウエル（PW）22及びN型ウエル（NW）23をLOCOS法を用いて形成する。即ち、図示した説明は省略するが、前記基板21のN型ウエル形成領域上にパッド酸化膜及びシリコン窒化膜を形成し、当該パッド酸化膜及びシリコン窒化膜をマスクにして、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して、イオン注入層を形成する。その後、前記シリコン窒化膜をマスクに基板表面をLOCOS法によりフィールド酸化してLOCOS膜を形成する。このとき、LOCOS膜形成領域下にイオン注入されていたボロンイオンが基板内部に拡散されてP型層が形成される。

【0017】

次に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記LOCOS膜をマスクに基板表面にリンイオンをおよそ80KeVの加速電圧で、 $9 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してイオン注入層を形成する。そして、前記LOCOS膜を除去した後に、前記基板に注入された各不純物イオンを熱拡散させて、P型ウエル及びN型ウエルを形成することで、図1に示すように前記基板21内に形成されるP型ウエル22は段差低部に配置され、N型ウエル23は段差高部に配置される。

【0018】

そして、図2において、各MOSトランジスタ毎に素子分離するため、およそ500nm程度の素子分離膜24をLOCOS法により形成し、この素子分離膜24以外の活性領域上におよそ80nm程度の高耐圧用の厚いゲート酸化膜25を熱酸化により形成する。

【0019】

続いて、レジスト膜をマスクにして第1の低濃度のN型及びP型のソース・ド

レイン層（以下、LN層26、LP層27と称す。）を形成する。即ち、先ず、不図示のレジスト膜でLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120 KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLN層26を形成する。その後、レジスト膜（PR）でLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ120 KeVの加速電圧で、 $8.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLP層27を形成する。尚、実際には後工程のアニール工程（例えば、1100℃のN₂雰囲気中で、2時間）を経て、上記イオン注入された各イオン種が熱拡散されてLN層26及びLP層27となる。

【0020】

続いて、図3において、Pチャネル型及びNチャネル型SLED MOSトランジスタ形成領域の形成された前記LN層26間及びLP層27間にレジスト膜をマスクにしてそれぞれ第2の低濃度のN型及びP型のソース・ドレイン層（以下、SLN層28及びSLP層29と称す。）を形成する。即ち、先ず、不図示のレジスト膜でSLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120 KeVの加速電圧で、 $1.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LN層26に連なるSLN層28を形成する。その後、レジスト膜（PR）でSLP層形成領域上以外の領域を被覆した状態で基板表層に、例えば二フッ化ボロンイオン（ $^{49}\text{BF}_2^+$ ）をおよそ140 KeVの加速電圧で、 $2.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LP層27に連なるSLP層29を形成する。尚、前記LN層26と前記SLN層28または前記LP層27と前記SLP層29の不純物濃度は、ほぼ同等であるか、どちらか一方が高くなるように設定されている。

【0021】

更に、図4において、レジスト膜をマスクにして高濃度のN型及びP型のソース・ドレイン層（以下、N+層30、P+層31と称す。）を形成する。即ち、先ず、不図示のレジスト膜でN+層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ80 KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してN+層30を形成する。その後、レジスト膜（P

R) で P + 層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフツ化ボロンイオンをおよそ 140 KeV の加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して P + 層 31 を形成する。

【0022】

次に、図 5 において、前記 SLN 層 28 及び SLP 層 29 の形成用のマスク開口径（図 3 参照）よりも細い開口径を有するレジスト膜をマスクにして前記 LN 層 26 に連なる SLN 層 28 の中央部及び前記 LP 層 27 に連なる SLP 層 29 の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該 SLN 層 28 及び SLP 層 29 を分断する P 型ボディ層 32 及び N 型ボディ層 33 を形成する。即ち、先ず、不図示のレジスト膜で P 型層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフツ化ボロンイオンをおよそ 120 KeV の加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して P 型ボディ層 32 を形成する。その後、レジスト膜（PR）で N 型層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ 190 KeV の加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して N 型ボディ層 33 を形成する。尚、上記図 3 ～ 図 5 に示すイオン注入工程に関する作業工程順は、適宜変更可能なものであり、前記 P 型ボディ層 32 及び N 型ボディ層 33 の表層部にチャネルが構成される。

【0023】

更に、図 6 において、前記通常耐圧用の微細化 N チャネル型及び P チャネル型 MOS トランジスタ形成領域の基板（P 型ウエル 22）内に第 2 の P 型ウエル（SPW）34 及び第 2 の N 型ウエル（SNW）35 を形成する。

【0024】

即ち、前記通常耐圧の N チャネル型 MOS トランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記 P 型ウエル 22 内に、例えばボロンイオンをおよそ 190 KeV の加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の第 1 の注入条件でイオン注入後、同じくボロンイオンをおよそ 50 KeV の加速電圧で、 $2.6 \times 10^{12} / \text{cm}^2$ の第 2 の注入条件でイオン注入して、第 2 の P 型ウエル 34 を形成する。また、前記通常耐圧用の P チャネル型 MOS トランジスタ形成

領域上に開口を有するレジスト膜（PR）をマスクにして前記P型ウエル22内に例えばリンイオンをおよそ380 KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、第2のN型ウエル35を形成する。尚、380 KeV程度の高加速電圧発生装置が無い場合には、2価のリンイオンをおよそ190 KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入するダブルチャージ方式でも良い。続いてリンイオンをおよそ140 KeVの加速電圧で、 $4.0 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。

【0025】

次に、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上とレベルシフト用のNチャネル型MOSトランジスタ形成領域上の前記ゲート酸化膜25を除去した後に、図7に示すように、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【0026】

即ち、先ず、全面にレベルシフト用のNチャネル型MOSトランジスタ用におよそ14 nm程度（この段階では、およそ7 nm程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が増大する。）のゲート酸化膜36を熱酸化により形成する。続いて、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に形成された前記レベルシフト用のNチャネル型MOSトランジスタのゲート酸化膜36を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜37（およそ7 nm程度）を熱酸化により形成する。

【0027】

続いて、図8において、全面におよそ100 nm程度のポリシリコン膜を形成し、このポリシリコン膜に POCl_3 を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ100 nm程度のタングステンシリサイド膜、更にはおよそ150 nm程度の SiO_2 膜を積層し、不図示のレジスト膜を用いてパターニングして各MOSトランジスタ用のゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを形成する。尚、前記 SiO_2 膜は、パターニング時のハードマスクとして働く。

【0028】

続いて、図9において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層を形成する。

【0029】

即ち、まず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ20KeVの加速電圧で、 $6.2 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のN型ソース・ドレイン層39を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するレジスト膜(PR)をマスクにして、例えばニフツ化ボロンイオンをおよそ20KeVの加速電圧で、 $2 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のP型ソース・ドレイン層40を形成する。

【0030】

更に、図10において、全面に前記ゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを被覆するようにおよそ250nm程度のTEOS膜41をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜(PR)をマスクにして前記TEOS膜41を異方性エッチングする。これにより、図10に示すように前記ゲート電極38A, 38Bの両側壁部にサイドウォールスペーサ膜41Aが形成され、前記レジスト膜(PR)で被覆された領域にはTEOS膜41がそのまま残る。

【0031】

そして、前記ゲート電極38Aとサイドウォールスペーサ膜41A並びに、前記ゲート電極38Bとサイドウォールスペーサ膜41Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソース・ドレイン層を形成する。

【0032】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例

例えばヒ素イオンをおよそ 100 KeV の加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度の N^+ 型ソース・ドレイン層 4 2 を形成する。また、通常耐圧用の P チャンネル型 MOS トランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばニフッ化ボロンイオンをおよそ 40 KeV の加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度の P^+ 型ソース・ドレイン層 4 3 を形成する。

【0033】

以下、図示した説明は省略するが、全面に TEOS 膜及び BP SG 膜等からなるおよそ 600 nm 程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層 3 0, 3 1, 4 2, 4 3 にコンタクト接続する金属配線層を形成することで、前記表示ディスプレイ駆動用ドライバを構成する通常耐圧用の N チャンネル型 MOS トランジスタ及び P チャンネル型 MOS トランジスタ、レベルシフト用の N チャンネル型 MOS トランジスタ、高耐圧用の N チャンネル型 MOS トランジスタ及び P チャンネル型 MOS トランジスタ、低オン抵抗化が図られた高耐圧用の N チャンネル型 SLED MOS トランジスタ及び P チャンネル型 SLED MOS トランジスタが完成する。

【0034】

ここで、本発明の特徴は、表示ディスプレイ駆動用ドライバ、例えば有機 EL 素子（有機エレクトロ・ルミネッセンス素子）に定電流を供給し、有機 EL 素子を発光させる有機 EL ディスプレイ駆動用ドライバ等において、陽極ドライバと陰極ドライバと表示データ等を記憶するメモリ部並びにコントローラ等を 1 チップ化する場合の効率の良いパターンレイアウト方法にある。

【0035】

以下、本発明のパターンレイアウト構成について簡略化した図面を用いて概略を説明する。

【0036】

図 1 1 (a) において、陽極ドライバと陰極ドライバとメモリ部並びにコントローラ等を 1 チップ化して、図 1 1 (a) の紙面左上から、3 2 ビットの陽極（

セグメント：SEG）ドライバ領域10、128ビットの陰極（コモン：COM）ドライバ領域11、32ビットの陽極ドライバ領域12、紙面左下から、32ビットの陽極ドライバ領域13、10ビットのアイコン用の陽極ドライバ領域14、10ビットのアイコン用の陽極ドライバ領域15、32ビットの陽極ドライバ領域16を配置している。尚、それぞれのドライバ領域は、出力1ビット分に相当する出力領域を必要な出力分だけ繰り返し配置することで、所望の出力ビット群を構成している。

【0037】

そして、チップの中央部に他のロジック（LOGIC）部17を介して対称な位置（本実施形態では、左右対称であるが、チップ内の配列に併せて上下対称な位置でも良い。）にメモリ部としてのSRAM（スタティックRAM）18、19が配置され、当該SRAM18、19からの出力配線20がそれぞれ前記陽極ドライバ領域10、12、13、16に結線されている。

【0038】

このように本発明では、SRAMと結線される陽極ドライバをチップ内の四隅に配置させ、各陽極ドライバ領域10、12、13、16に併せてSRAMを2分割して、チップの左端部に配置された陽極ドライバ領域10と13のグループと、チップの右端部に配置された陽極ドライバ領域12と16のグループとにそれぞれ対応させることで、配線20の引き回しが容易となる。

【0039】

即ち、従来（図12）の構成のものと上記図11（a）の構成のものとを比較説明すると、図12に示すように全てのドライバに対応する出力パッド1をチップ内に一列に配置した場合には、1箇所に配置されたメモリ部2から各出力パッド1に配線3が引き回しされるため、配線3の引き回しスペース（図中の円で囲んだ領域）が必要となり、その分だけチップサイズが増大することになる。

【0040】

これに対して本発明では、図11（a）に示すようにSRAMと結線されるドライバ（本実施形態では、陽極ドライバ）をチップ内の四隅に配置させ、当該各陽極ドライバ領域10、12、13、16に併せてSRAMを2分割し、各陽極

ドライバ領域 10, 12, 13, 16 と SRAM 18, 19 とを配線 20 するため、引き回しスペースが少なくすむ。

【0041】

また、図 11 (b) に示す構成のものと、上記図 11 (a) の構成のものを比較説明すると、図 11 (b) に示す構成のものは、図 11 (a) の構成のものと同様に SRAM と結線されるドライバ（本実施形態では、陽極ドライバ）をチップ内の四隅に配置させているが、当該各陽極ドライバ領域 10, 12, 13, 16 と結線される SRAM (18, 19) は 1 箇所に配置させているため、配線 20 の引き回しスペースは、上記図 12 の構成のものを比して少ないが、上記図 11 (b) の構成のものを比して大きくなる。

【0042】

また、図 11 (a) の構成のものは配線長も左右対称となるため、上記図 11 (b)、図 12 の構成のものに比してインピーダンスによる影響も低減でき、表示ばらつきも抑止できる。

【0043】

以上説明したように、例えば陽極ドライバ、陰極ドライバ、そしてメモリ部やコントローラ等を有する有機 EL ディスプレイ駆動用ドライバ等を 1 チップ化する場合に、メモリ部を 2 分割することで、当該メモリ部と各ドライバとを結線する際の引き回し配線長が短くなるため、チップサイズの縮小化が図れ、低コスト化が可能になる。

【0044】

尚、本実施形態ではメモリ部と結線される陽極ドライバ領域 10, 12, 13, 16 をチップの四隅に均等配置させ、当該陽極ドライバ領域 10, 12, 13, 16 を 2 つのグループに分け、各グループに対応するようにメモリ部を 2 分割 (SRAM 18, 19) しているが、更に細分化させても良い。

【0045】

尚、本実施形態では表示ディスプレイとして、有機 EL ディスプレイを例にして、その駆動用ドライバについて説明したが、本発明はそれに限定されるものではなく、例えば LCD ディスプレイ、LED ディスプレイ、無機 EL ディスプレ

イ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイの駆動用ドライバに適用可能なものである。

【0046】

【発明の効果】

本発明によれば、陽極ドライバ、陰極ドライバ、そしてメモリ部等を有する表示ディスプレイ駆動用ドライバを1チップ化する際に、メモリ部と結線されるドライバ領域をチップ内において均等割り付けし、均等割り付けされた各ドライバ領域に対応してメモリ部を分割配置させたことで、メモリ部とドライバ間の配線引き回しが容易となり、メモリ部における配線長が短くなることでチップサイズの縮小化が図れる。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図8】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図9】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 0】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 1】

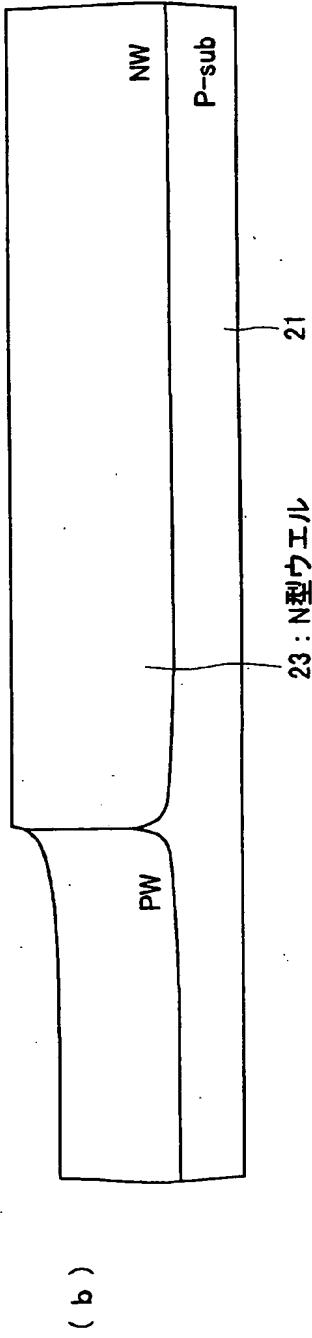
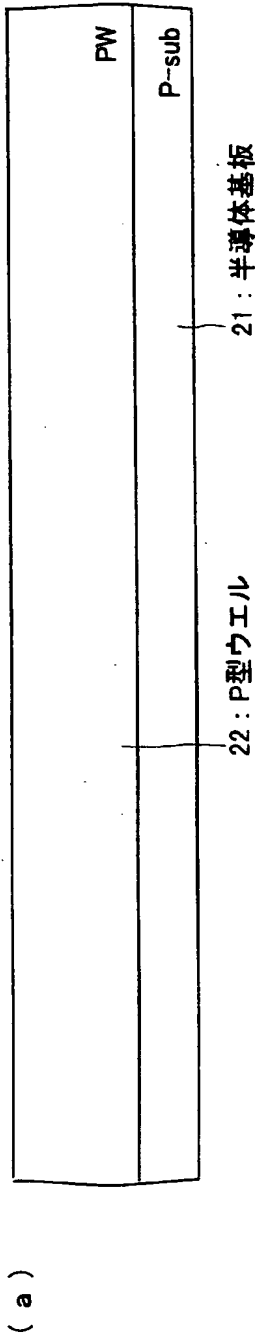
本発明の一実施形態の半導体装置のパターンレイアウトを示す平面図である。

【図 1 2】

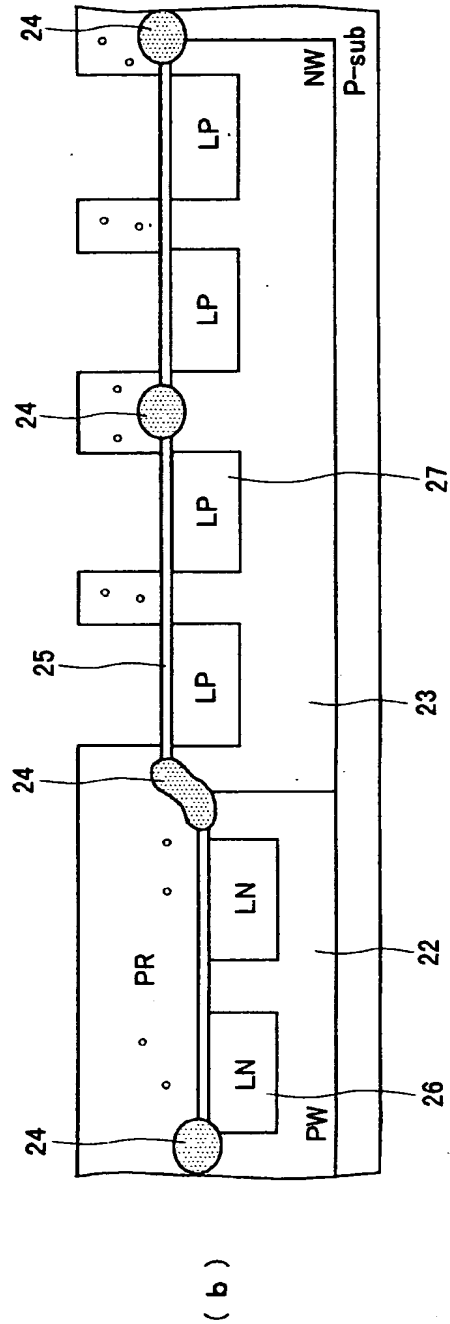
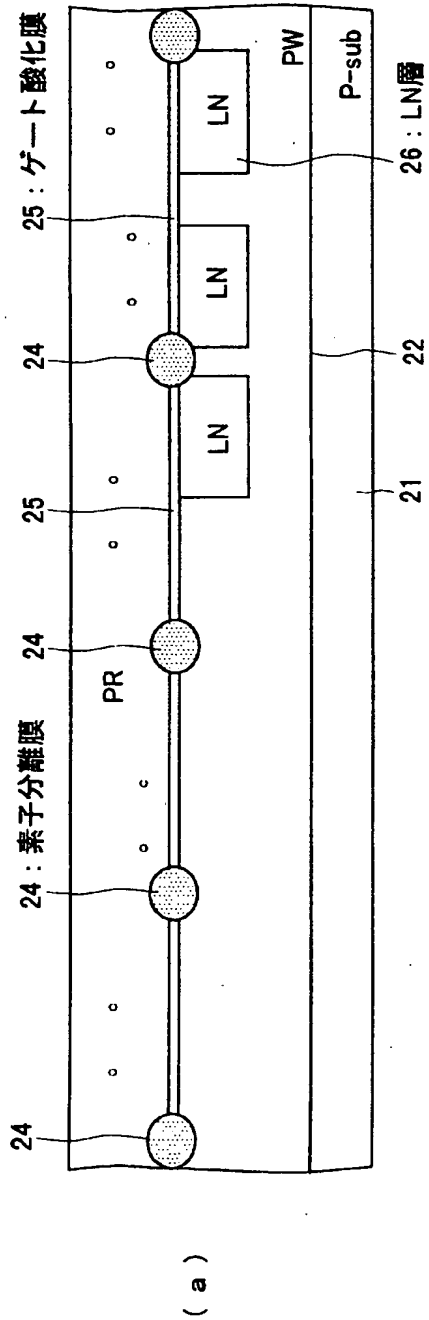
従来の半導体装置のパターンレイアウトを示す平面図である。

【書類名】 図面

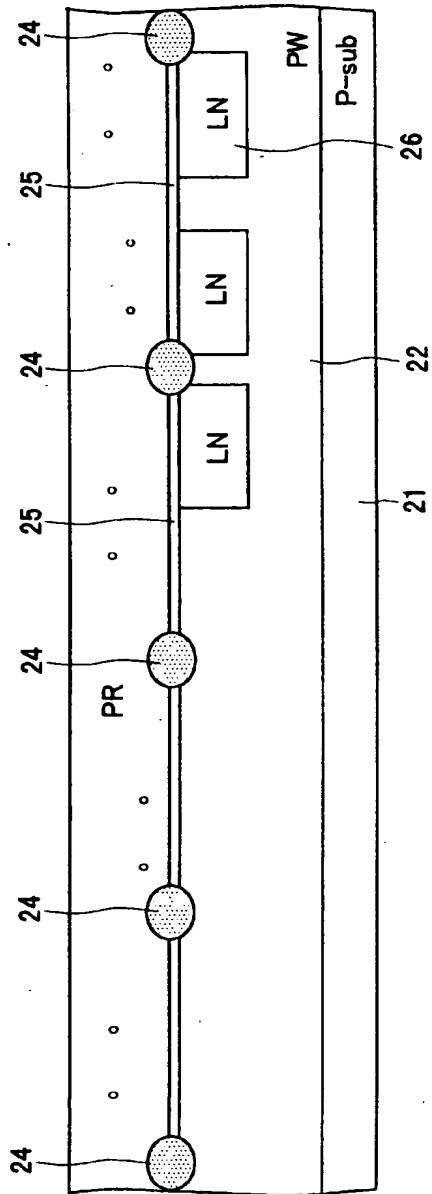
【図 1】



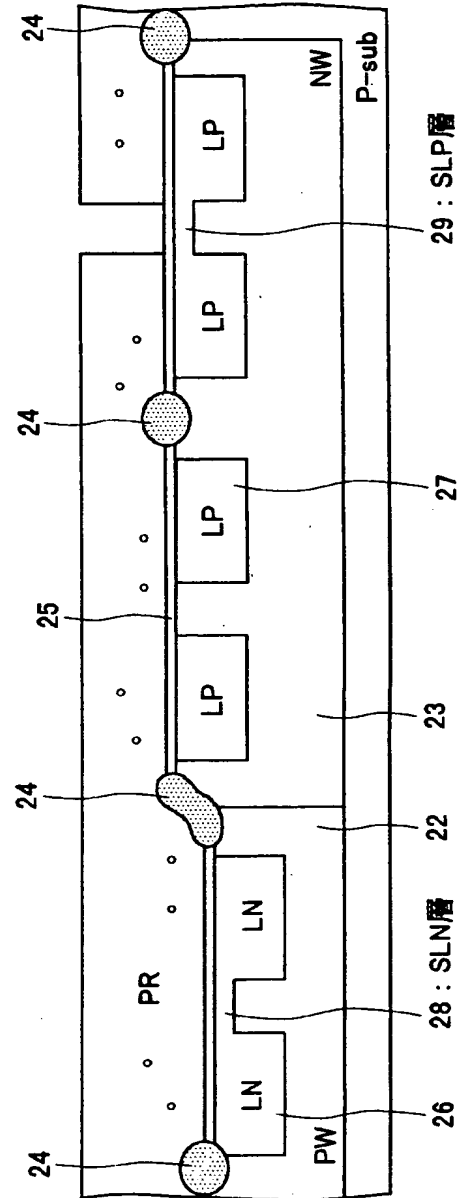
【図 2】



【図 3】

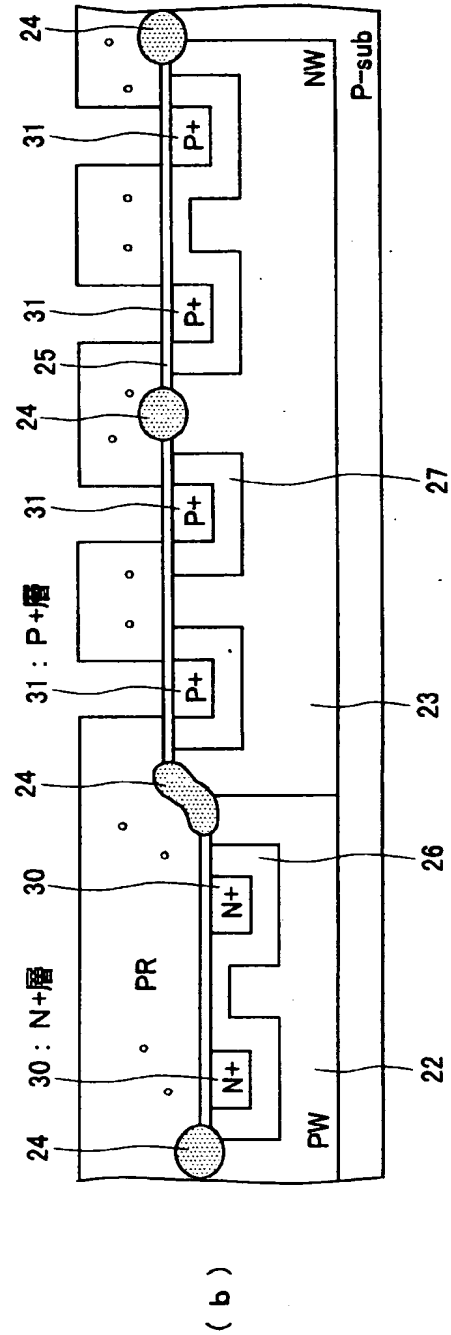
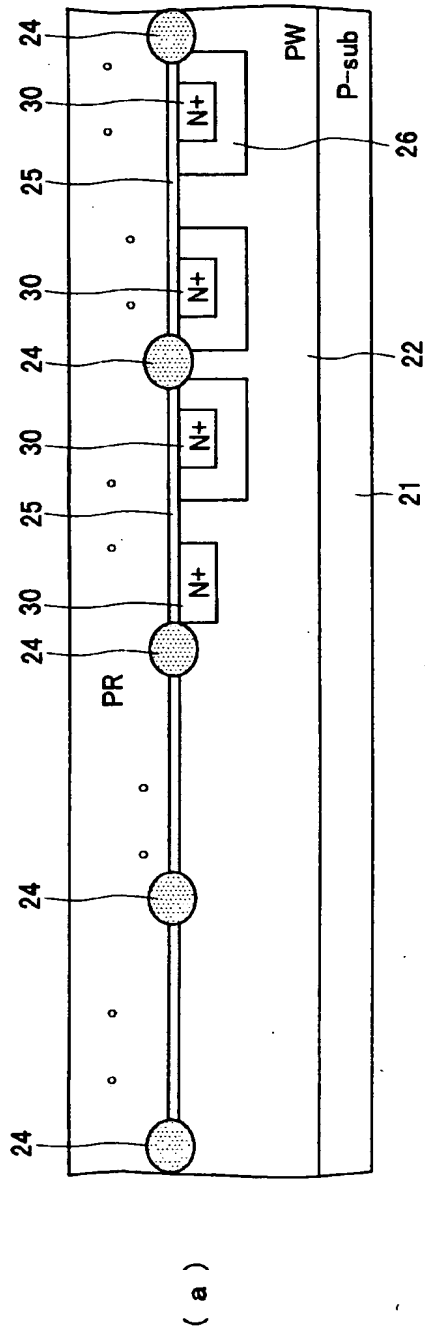


(a)

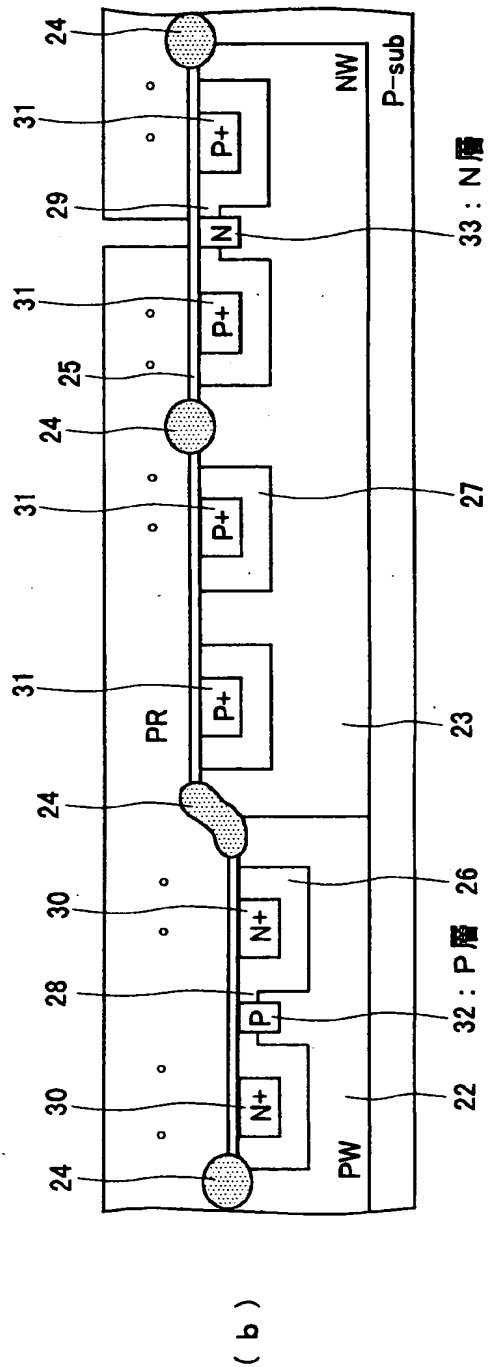
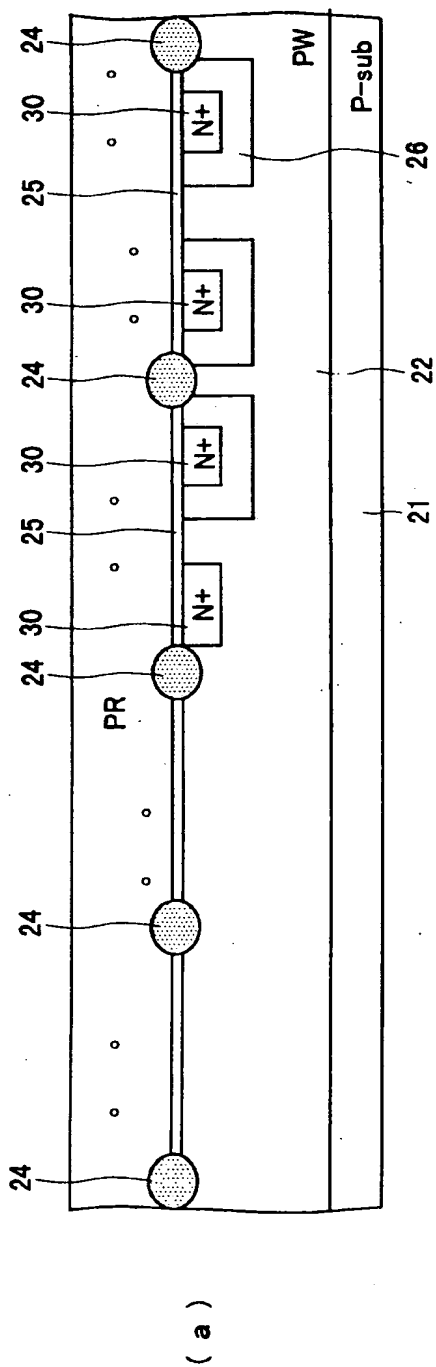


(९)

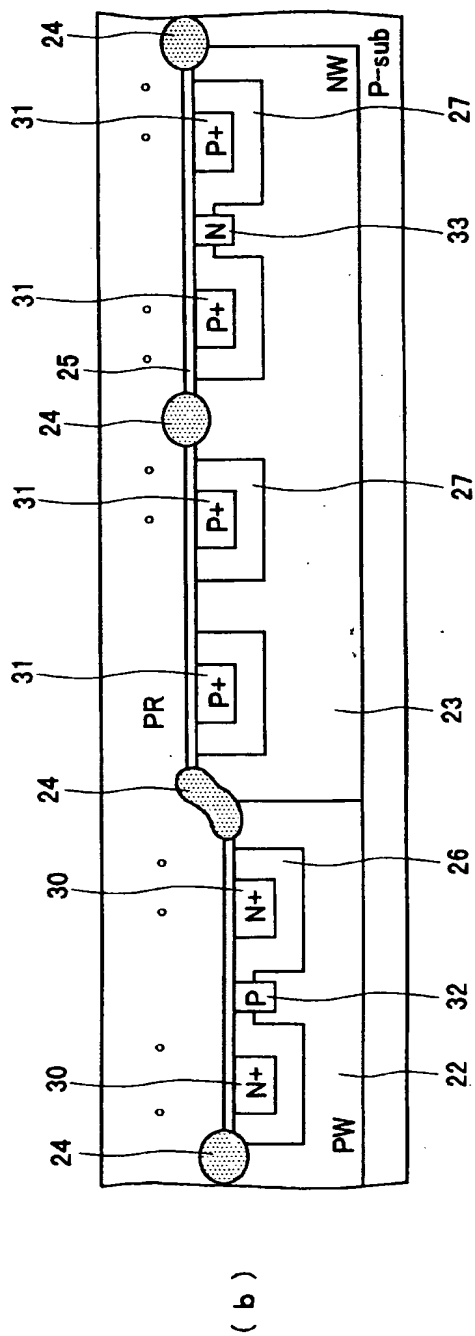
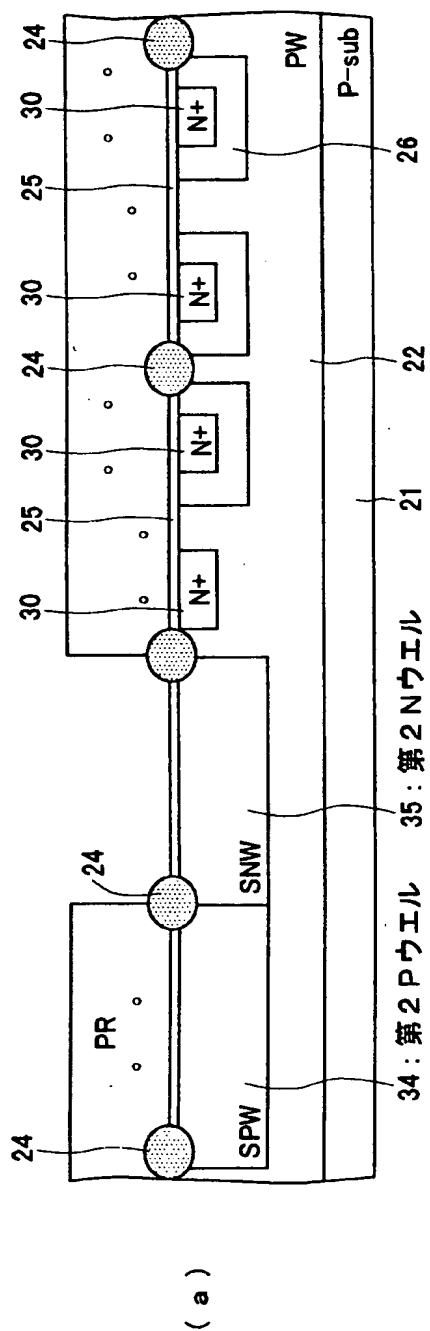
【図 4】



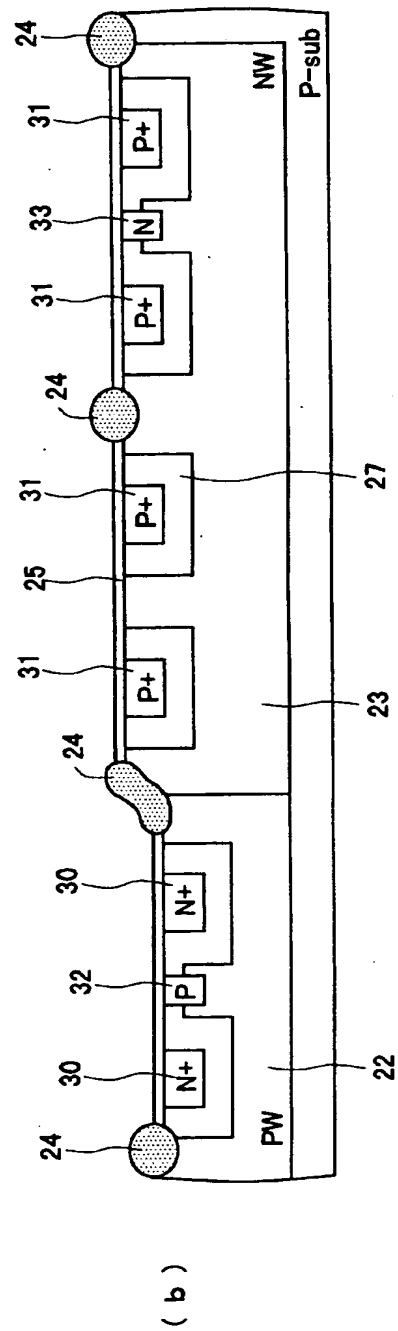
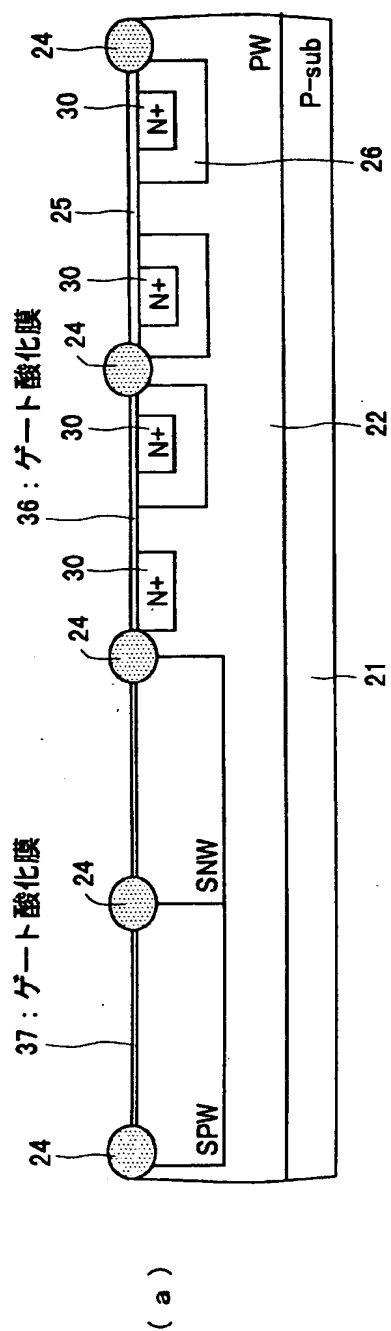
【図 5】



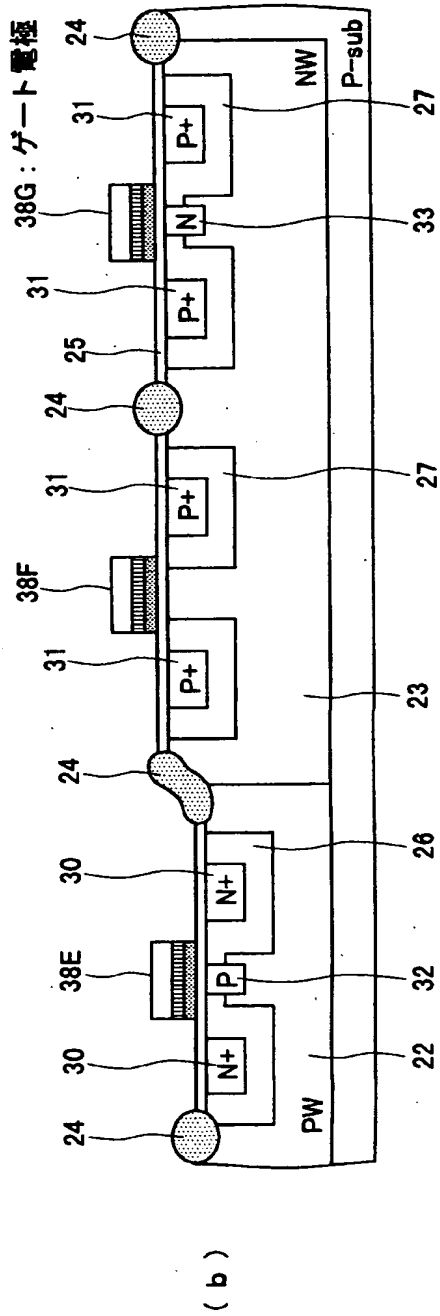
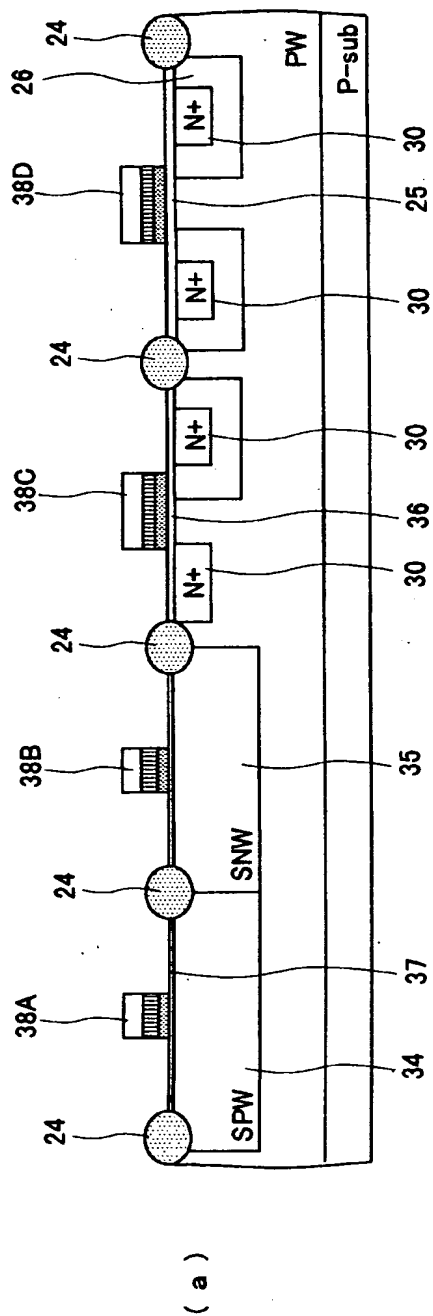
【図 6】



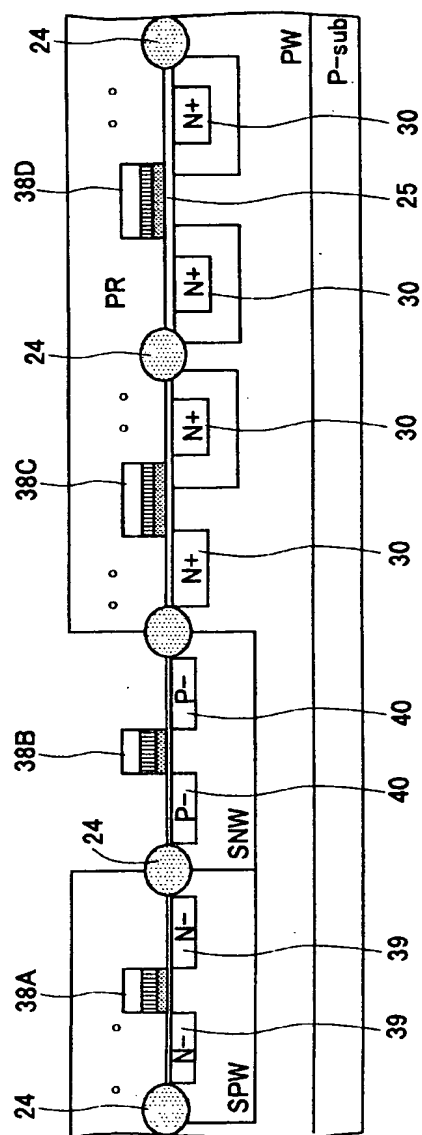
【図 7】



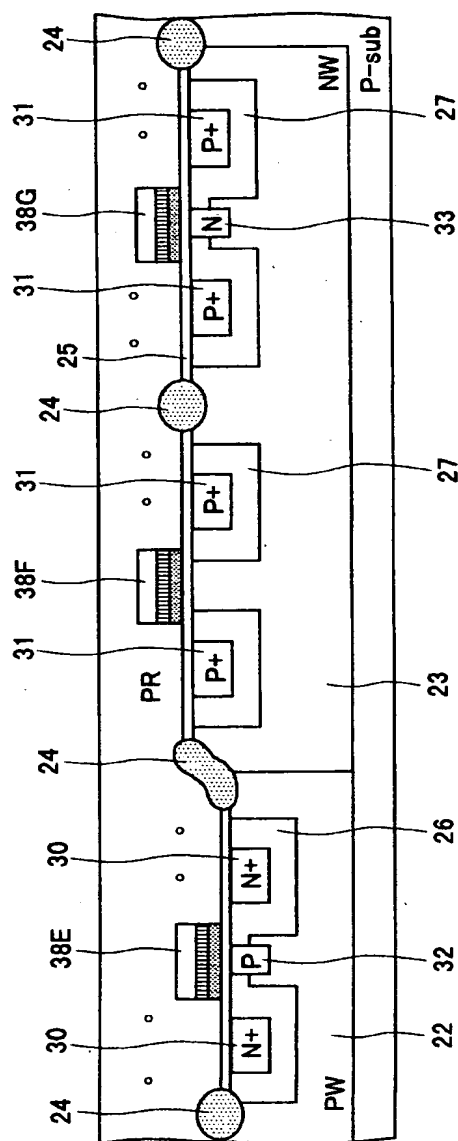
【図 8】



【図 9】

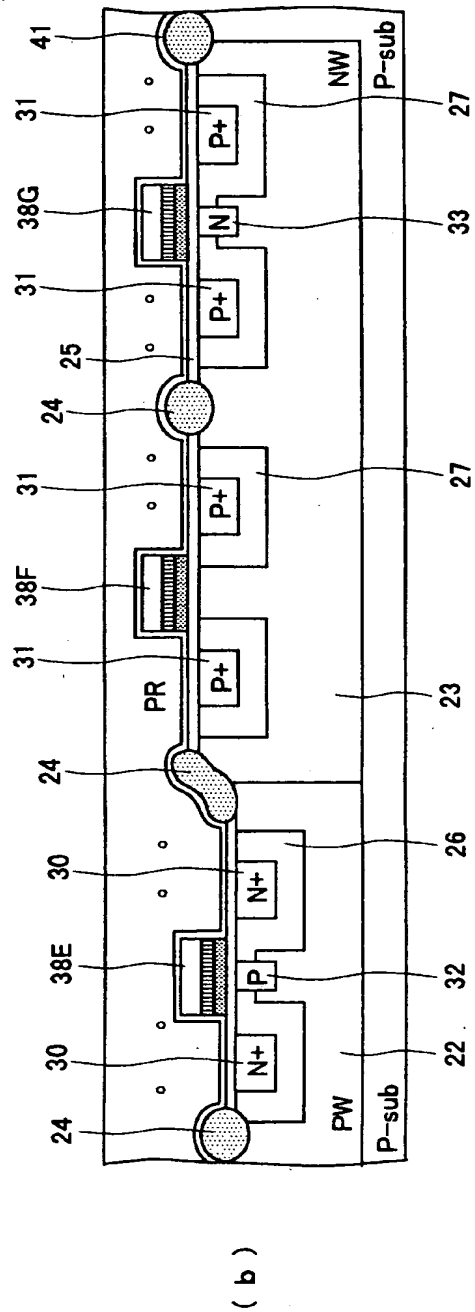
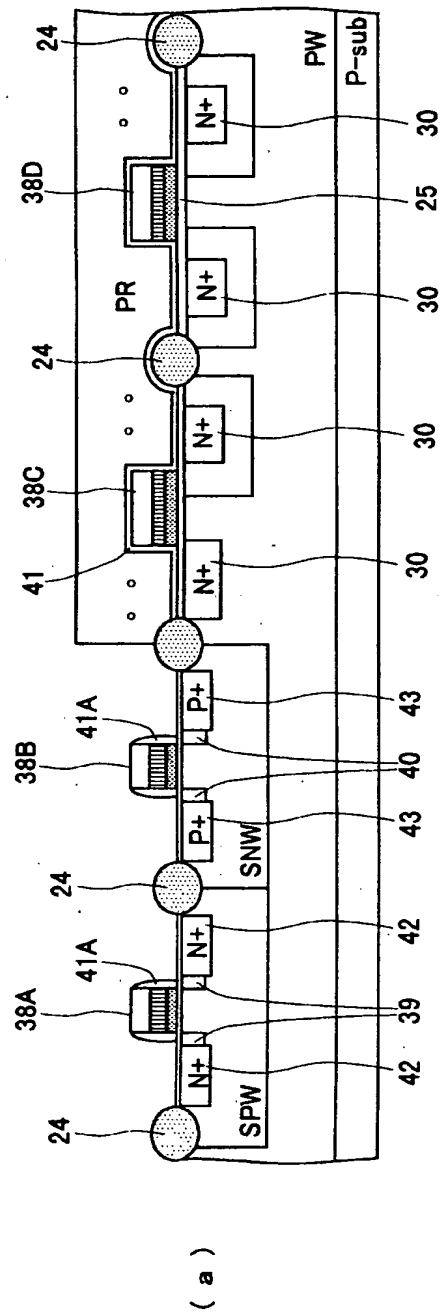


(a)

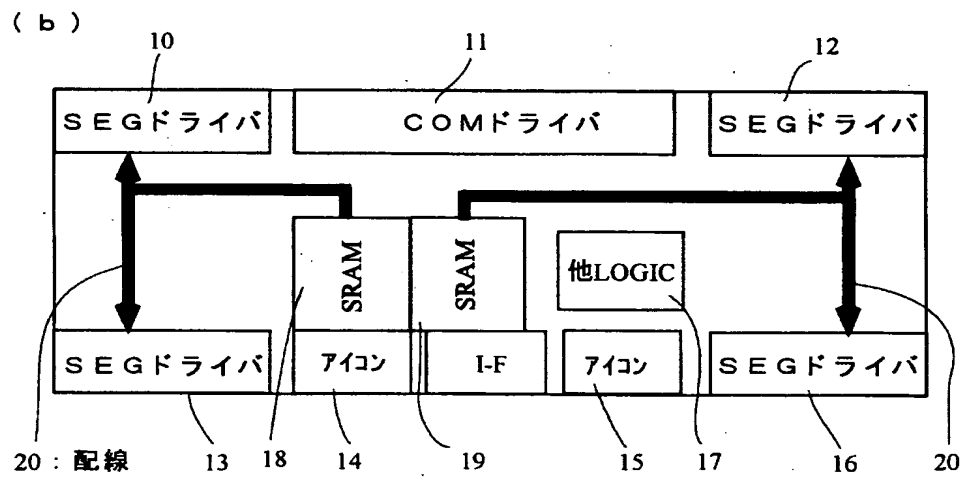
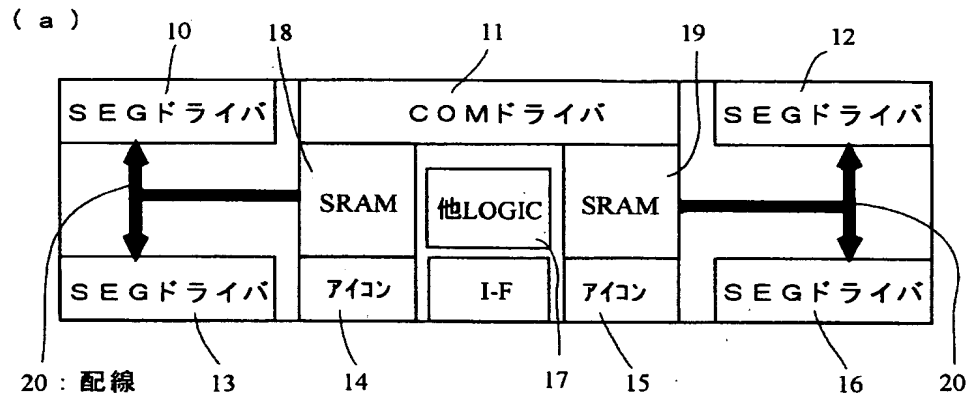


(b)

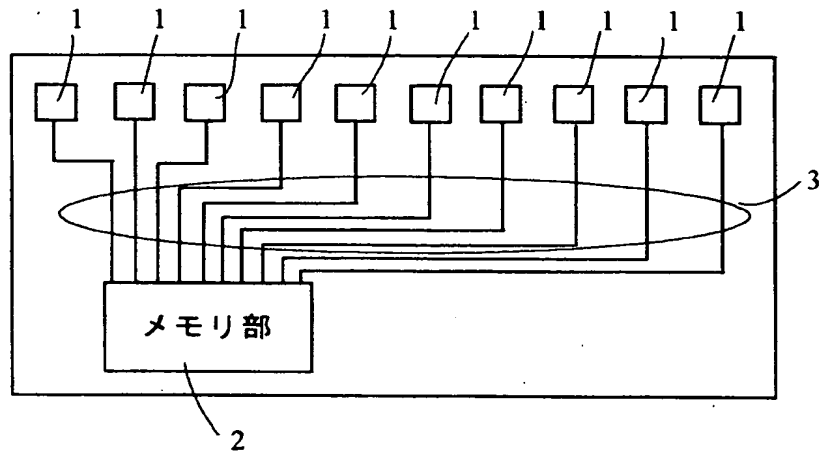
【図 1.0】



【図11】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 ドライバ駆動用の半導体装置を1チップ化する。

【解決手段】 本発明の半導体装置は、陰極ドライバ、陽極ドライバ、そしてメモリ部を有する表示ディスプレイ駆動用ドライバにおいて、前記メモリ部と結線される陽極ドライバ領域10、12、13、16をチップ内に均等割り付けし、その均等割り付けされた各陽極ドライバ領域10、12、13、16の近傍位置にSRAM18、19を均等配置することで、配線引き回しが容易となり、チップサイズが縮小化される。

【選択図】 図11

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社